

УДК 681.5.08; 621.317.1; 621.373.12
DOI: 10.46548/21vek-2022-1159-0012

ФУНКЦИОНАЛЬНЫЕ ГЕНЕРАТОРЫ НА ОСНОВЕ ПРЯМОГО ЦИФРОВОГО СИНТЕЗА

© Автор(ы) 2022

SPIN: 1222-5399

AuthorID: 517750

ORCID: 0000-0003-0933-1212

ResearcherID: P-2232-2015

ScopusID: 7004205146

ЧУЛКОВ Валерий Александрович, доктор технических наук, доцент,
заведующий кафедрой «Биомедицинская инженерия»

Пензенский государственный технологический университет

(440039, Россия, Пенза, проезд Байдукова/ул. Гагарина, д. 1а/11, e-mail: chu@penzgtu.ru)

Аннотация. Прямой цифровой синтез частоты широко применяется для создания произвольных форм сигнала с точным безынерционным заданием частоты в технике электрических измерений в качестве источника эталонных воздействий и в беспроводной связи в качестве гетеродинов, в генераторах испытательных сигналов для контроля систем передачи информации. Настоящая работа посвящена совершенствованию схемотехники цифрового синтеза сигналов, ставящему целью повышение точности задания частоты и расширение функциональных возможностей измерительных генераторов. Предложены варианты исполнения цифровых синтезаторов сигналов, первый из которых позволяет существенно повысить разрешение по частоте за счет изменения модуля счета аккумулятора фазы, а второй благодаря введению сопряженного с основным каналом синтеза дополнительного канала, управление которым осуществляется смещенным во времени кодом аккумулятора из основного канала, обеспечить генерирование парных сигналов произвольной формы с прецизионной задержкой между ними. Приведены схемные решения и рассмотрены режимы работы предложенных устройств.

Ключевые слова: генератор, синтез, частота, аккумулятор, цифроаналоговый преобразователь, постоянное запоминающее устройство, сумматор.

FUNCTIONAL GENERATORS BASED ON DIRECT DIGITAL SYNTHESIS

© The Author(s) 2022

CHULKOV Valery Alexandrovich, doctor of technical sciences, associate professor,
head of the Department of Biomedical Engineering

Penza State Technological University

(440039, Russia, Penza, Baydukova passage/Gagarina street, 1a/11, e-mail: chu@penzgtu.ru)

Abstract. Direct digital frequency synthesis is widely used to create arbitrary waveforms with precise inertia-free frequency setting in electrical measurement technology as a source of reference effects and in wireless communication as heterodynes, in test signal generators for monitoring information transmission systems. This work is devoted to improving the circuitry of digital signal synthesis, which aims to increase the accuracy of frequency setting and expand the functionality of measuring generators. Variants of digital signal synthesizers are proposed, the first of which allows to significantly increase the frequency resolution by changing the phase accumulator counting module, and the second due to the introduction of an additional channel coupled with the main synthesis channel, which is controlled by a time-shifted battery code from the main channel, to generate paired signals of arbitrary shape with a precision delay between them. Schematic solutions are given and the modes of operation of the proposed devices are considered.

Keywords: generator, synthesis, frequency, accumulator, digital-to-analogue converter, read-only memory, adder

Для цитирования: Чулков В.А. Функциональные генераторы на основе прямого цифрового синтеза / В.А. Чулков // XXI век: итоги прошлого и проблемы настоящего плюс. – 2022. – Т. 11. – № 3(59). – С. 74-80. – DOI: 10.46548/21vek-2022-1159-0012.

Введение. Функциональные генераторы сигналов разнообразной формы находят широкое применение в качестве источников образцовых (тестовых) сигналов в экспериментальной технике, измерительном оборудовании, спутниковой связи и радионавигации [1 – 4]. Такие генераторы обладают высокой точностью задания частоты, формы и других параметров сигналов, отвечают метрологическим требованиям и просты в управлении. Среди функциональных генераторов, составляющих неотъемлемую часть большинства радиотехнических систем, по своим точностным харак-

теристикам и эксплуатационным возможностям выделяются цифровые синтезаторы частоты, обладающие высоким разрешением по частоте и возможностью управления по цифровому интерфейсу.

К настоящему времени сложились два основных подхода к цифровому синтезу частоты: способ фазовой синхронизации (*PLL – Phase Lock Loop*) с дробно-кратным преобразованием опорной частоты и способ прямого цифрового синтеза (*DDS – Direct Digital Synthesis*) [5 – 10].

Методу синтеза частоты с использованием фазо-

вой синхронизации местного управляемого генератора с дробно-кратным умножением частоты опорного генератора, при котором опорные импульсы и импульсы, генерируемые управляемым генератором, перед поступлением на фазовый компаратор проходят через делители частоты с разными коэффициентами деления, широко освещен в литературе. Предложены разнообразные усовершенствования базовой структуры, направленные на повышение разрешающей способности по частоте, расширение частотного диапазона и улучшение спектральной чистоты синтезируемых сигналов [11 – 15]. В то же время устройствам подобного типа свойствен общий недостаток, который заключается в продолжительном переходном процессе при изменении генерируемой частоты – времени захвата системы фазовой синхронизации.

В последние годы интенсивное развитие получила схемотехника синтезаторов сигналов на основе прямого цифрового синтеза, отличающаяся исключительными возможностями в части точности устанавливаемой частоты и ее перестройки в широких пределах, причем перестройка частоты осуществляется практически безынерционно. Первой публикацией по прямому цифровому синтезу явилась, видимо, статья J. Tierney, C. Rader, B. Gold [16], появившаяся еще в 1971 году. С той поры данное направление получило признание и развитие, подобные цифровые синтезаторы частоты оказались весьма эффективными не только для решения измерительных задач, но и в технике беспроводных коммуникаций и обработки цифровых сигналов [17 – 21]. Однако, несмотря на обилие публикаций по данной тематике, остаются еще не раскрытые резервы совершенствования схемотехники DDS применительно к функциональным генераторам измерительных приборов и систем. В частности, функциональные возможности генераторов расширяются с уменьшением шага перестройки частоты и генерирования двух или более эталонных сигналов в заданном фазовом или временном отношении друг

к другу, чему в известных публикациях не уделено должного внимания.

Целью настоящей работы является повышение точности задания частоты цифрового синтезатора и разработка схемы функционального генератора парных идентичных сигналов произвольной формы с прецизионной задержкой между ними.

Методология. Сбор и систематизация информации по современному состоянию техники прямого цифрового синтеза, выявление перспективных технических решений и обоснование на этой основе схемотехники функциональных генераторов на основе DDS с повышенным разрешением по частоте и расширенными функциональными возможностями.

Результаты. Принцип прямого цифрового синтеза частоты. Для того чтобы обосновать предлагаемые усовершенствования синтезатора сигналов, рассмотрим прежде принцип прямого цифрового синтеза, обратившись к показанной на рисунке 1 типовой структуре устройства DDS [22].

Устройство включает:

- регистр инкремента фазы (РИФ), хранимое в нем двоичное число D_ϕ определяет частоту вырабатываемых сигналов $f_{\text{вых}}$;
- аккумулятор фазы (АФ) в виде накапливающего сумматора в составе параллельного сумматора (СМ) и регистра фазы (РФ), тактируемого импульсами опорного генератора (ОГ), который образует на своем выходе цифровой эквивалент фазы периодического выходного напряжения;
- постоянное запоминающее устройство (ПЗУ), хранящее «цифровой образ» формы выходного напряжения и выдающее его фрагменты в соответствии с линейно нарастающим адресом на своем входе;
- цифроаналоговый преобразователь (ЦАП), формирующий ступенчатую функцию с высотой ступеней, пропорциональной коду ПЗУ;
- аналоговый фильтр (ФНЧ) для сглаживания ступенчатого напряжения ЦАП.

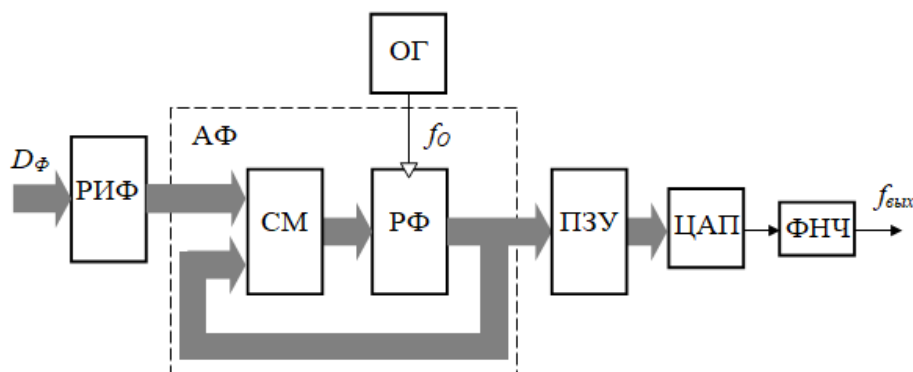


Рисунок 1 – Базовая структура синтезатора частоты с прямым цифровым синтезом

Диаграммы (рис. 2) иллюстрируют процесс генерирования выходного напряжения синусоидальной формы (форма напряжения может быть произвольной и назначается прошивкой ПЗУ). Аккумулятор фазы

образует последовательность линейно нарастающих с инкрементом D_ϕ цифровых кодов мгновенной фазы сигнала со скоростью смены кодов, равной опорной частоте f_0 . Увеличение кода D_ϕ приводит к возраста-

нию частоты переполнения регистра в АФ и, следовательно, к повышению частоты выходных сигналов. С помощью ПЗУ линейно нарастающий код фазы преобразуется в изменяющиеся во времени по заданному (в данном случае синусоидальному) закону цифровые отсчеты выходного напряжения. ЦАП преобразует эти отсчеты в ступенчато изменяющееся напряжение, которое далее избавляется от «ступенек» с помощью фильтра нижних частот. Необходимо отметить, что цифровые отсчеты выходного напряжения могут быть не синхронными с самим выходным напряжением в отличие, например, от обычного делителя частоты.

Частота выходных сигналов определяется частотой переполнения АФ и зависит от опорной частоты f_0 , разрядности регистра в аккумуляторе фазы n и

входного инкремента фазы D_ϕ :

$$f_{\text{вых}} = D_\phi f_0 / 2^n \quad (1)$$

Как следует из (1), шаг перестройки выходной частоты составляет

$$\Delta f_{\text{вых}} = f_0 / 2^n \quad (2)$$

Таким образом, разрешение устройства по частоте зависит не только от опорной частоты, но и в большей степени от разрядности АФ. Например, при $f_0 = 100$ МГц и $n = 32$ разрешение синтезатора по частоте составит всего 0,025 Гц. Заметим также, что наиболее сложным узлом устройства является ПЗУ, информационная емкость которого для приведенного примера при разрядности ячеек ПЗУ и числе входов ЦАП равной $m = 8$ должна быть чрезвычайно высокой $C = 2^n \cdot m = 2^{32} \cdot 8 = 34359738368$ бит.

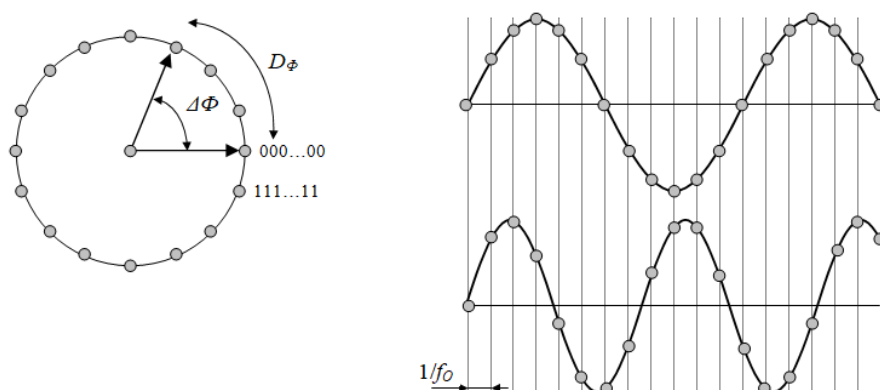


Рисунок 2 – Прямой цифровой синтез – формирование выборок выходного сигнала для разных частот

Способ повышения разрешающей способности DDS по частоте. Идея способа состоит в изменении шага перестройки частоты за счет незначительного изменения численного значения знаменателя в формуле (2) – на одну единицу. Такое изменение требует коррекции модуля счёта аккумулятора фазы, для этого необходимо изменять модуль счёта входящего в него сумматора. По сравнению с известным способом управления модулем счёта сумматора [23] эта задача решается более простыми средствами, поскольку требуемое наименьшее изменение модуля равно единице. Изменение модули аккумулятора фазы требует сопряженного изменения содержимого ПЗУ, в котором вместо 2^n будет задействовано $(2^n - 1)$ ячеек памяти. Это можно осуществить заменой одного ПЗУ на другой с последующим выбором того или иного ПЗУ в соответствии с назначаемым режимом работы. На рисунке 3а изображена схема цифрового синтезатора, устроенного подобным образом, а на рисунках 3б и 3в – возможные варианты исполнения входящих в схему логического блока ЛБ и примитивного сумматора SM_2 .

В аккумулятор фазы дополнительно к первому сумматору SM_1 введен второй примитивный сумматор SM_2 и логический блок ЛБ, управляющий вторым сумматором в соответствии с заданным режимом работы. Кроме того устройство содержит второе ПЗУ₂ и мультиплексор МХ, передающий на цифроаналоговый преобразователь выход того или иного ПЗУ.

Мультиплексор представляет собой группу m простейших мультиплексоров «2→1» с объединенными адресными входами (m – разрядность ячейки памяти постоянных запоминающих устройств). Логический блок ЛБ состоит из нескольких логических вентилей, назначение которых будет ясно из приведенного ниже порядка работы устройства. Оба сумматора сумматора, а также регистр RG являются n -разрядными цифровыми узлами. Постоянные запоминающие устройства ПЗУ₁ и ПЗУ₂ при n адресных входах имеют m -разрядные ячейки памяти, причем первое постоянное запоминающее устройство хранит 2^n цифровых образцов формы синтезируемого выходного сигнала, а второе постоянное запоминающее устройство – $(2^n - 1)$ подобных цифровых образов. Информационная емкость обоих постоянных запоминающих устройств составляет, следовательно, $2^n \times m$ бит.

Функция второго цифрового сумматора SM_2 примитивна в том смысле, что у него нет входа второго слагаемого, он добавляет единицу к содержимому первого сумматора, направляя ее на вход переноса SM_2 во втором режиме работы. Ввиду этого он может быть построен по упрощенной схеме на n полусумматоров, соединенных последовательно по цепи распространения переноса. При этом первый вход первого в цепочке полусумматоров служит входом переноса SM_2 , а вторые входы всех полусумматоров – его входом слагаемого.

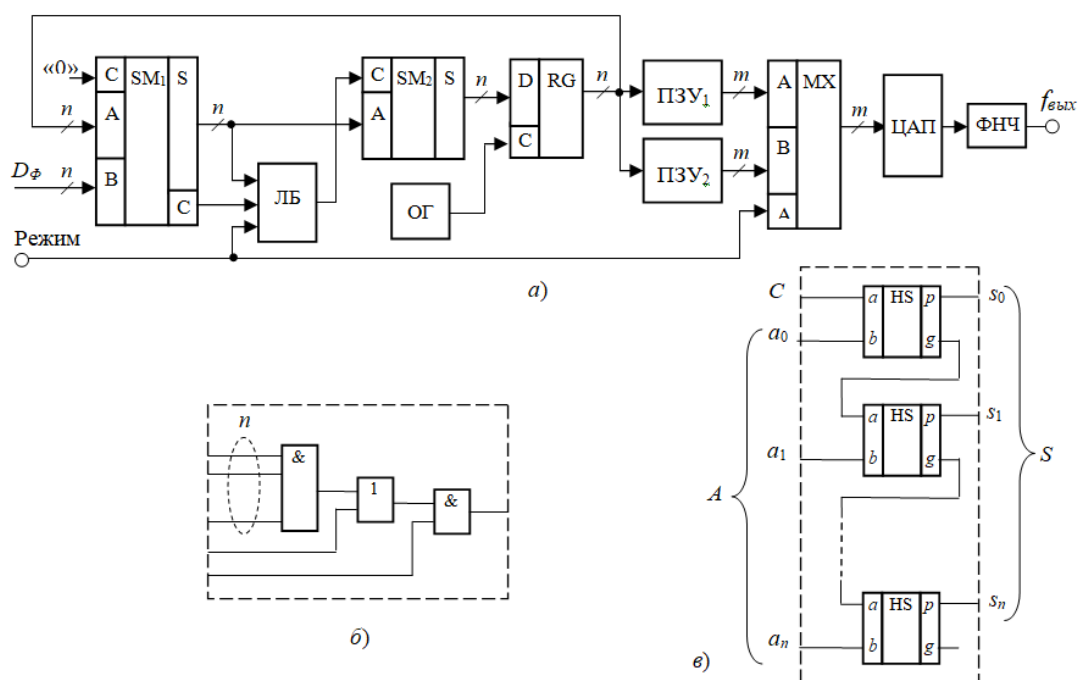


Рисунок 3 – Цифровой синтезатор частоты с повышенным разрешением

Устройство работает в следующем порядке:

В первом режиме работы при нулевом значении сигнала на управляющем входе логический блок ЛБ удерживает на своём выходе уровень логического «0», при этом второй сумматор SM_2 в отсутствии входного сигнала переноса передает на свой выход n -разрядное число с выхода первого цифрового сумматора без изменения. Поскольку на адресном входе мультиплексора присутствует уровень логического «0», то он передает на свой цифровой m -разрядный выход текущее выходное состояние первого ЦЗУ. В данном режиме устройство представляет собой обычное устройство прямого цифрового синтеза (рис. 1), образующего на выходе сигналы с формой, запрограммированной в первом постоянном запоминающем устройстве, и с частотой, определяемой выражением (1). Фильтр нижних частот сглаживает ступеньки напряжения с выхода цифроаналогового преобразователя.

Во второй режим работы устройство переходит при поступлении уровня логической «1» на управляющий вход синтезатора. Тогда мультиплексор в соответствии с новым адресным кодом начинает передавать на входы цифроаналогового преобразователя последовательность чисел с выхода второго ЦЗУ, а в логическом блоке логической единицей по третьему входу открывается цепь передачи сигнала через двухвходовый вентиль И. В процессе работы аккумулятор образует последовательность чисел, увеличивающихся с инкрементом D_ϕ . В соответствии с этим числом – адресом второго ЦЗУ последний выдает цифровые образы сигнала, которые, пройдя через мультиплексор, с помощью цифроаналогового преобразователя и фильтра нижних частот преобразуются в сигналы напряжения.

Так продолжается до момента, когда первый сумматор SM_2 достигает состояния всех единиц на своем выходе, что фиксируется n -входовым вентилем в логическом блоке, либо когда появляется сигнал переноса на его соответствующем выходе, который далее поступает на второй вход вентиль ИЛИ в логическом блоке. В том и другом случаях на выходе логического блока появляется уровень логической «1», передаваемый на вход переноса второго сумматора. В данном режиме модуль счета аккумулятора, образованного сумматорами и регистром, изменяется: вместо 2^n , который был в первом режиме работы, он становится равным $(2^n - 1)$. Это происходит благодаря тому, что при достижении первым сумматором состояния $(2^n - 1)$, либо при превышении этого состояния, из него вычитается модуль счета $(2^n - 1)$. Вычитание чисел, как известно, в цифровой технике выполняется в дополнительном коде путем сложения уменьшаемого с отрицательным числом – вычитаемым, которое в дополнительном коде представляется его поразрядной инверсией с добавлением единицы. Примитивный второй сумматор 2 не имеет входа второго слагаемого, что равносильно нулю на его отсутствующем втором входе (00...00 – это поразрядная инверсия 11...11 = $(2^n - 1)$). Единица добавляется по входу переноса второго цифрового сумматора 2.

Таким образом, модуль счета аккумулятора во втором режиме оказывается равным $(2^n - 1)$. Благодаря этому частота генерируемых устройством сигналов будет отличаться от (1), а именно, станет равной

$$f = \frac{D_\phi}{2^n - 1} f_0. \quad (3)$$

Если минимальный шаг перестройки частоты в первом режиме работы составлял (при $D_\phi = 1$) величину

ну $(\Delta f)_1 = f_0/2^n$, то во втором режиме он увеличивается до $(\Delta f)_2 = f_0/(2^n-1)$. Это означает, что частоту выходных сигналов путем выбора надлежащего значения D_ϕ на входе управления частотой можно устанавливать с шагом

$$\Delta f = (\Delta f)_2 - (\Delta f)_1 = \left(\frac{1}{2^n-1} - \frac{1}{2^n} \right) f_0 = \frac{f_0}{2^n(2^n-1)}, \quad (4)$$

много меньшим, чем в базовом устройстве.

Если же несколько снизить требования к точности формы выходного сигнала, то указанный выигрыш в точности установления частоты можно сопроводить существенным упрощением устройства за счет уменьшения разрядности цифровых узлов.

Генерирование парных сигналов. В ряде случаев

при проведении радиотехнических измерений требуется генерировать пару сигналов одинаковой формы и частоты, разделенную заданным интервалом времени. Как правило, в известных устройствах такого назначения генерируются квадратурные гармонические сигналы, необходимые в некоторых системах обработки сигналов [24 – 27], известны, однако, измерительные генераторы для выработки пары импульсов в регулируемом фазовом отношении. Принцип *DDS* позволяет достаточно просто решить задачу синтеза пары или более сигналов произвольной формы в управляемой по цифровому интерфейсу задержке между ними. Для этого организуется второй канал формирования сигнала, аналогичный основному (рис. 4).

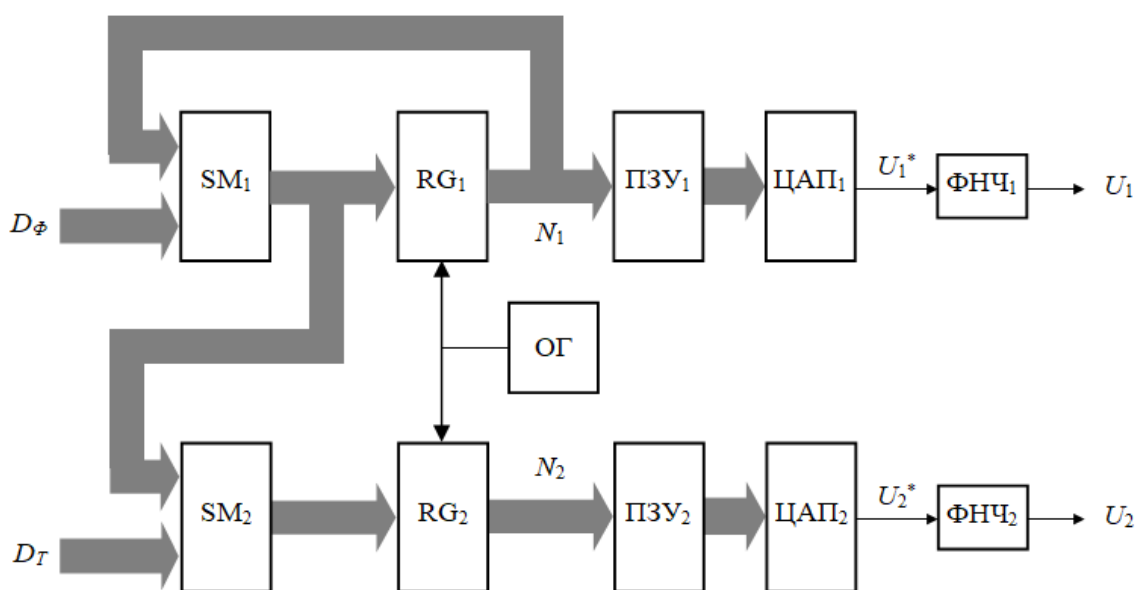


Рисунок 4 – Генератор парных сигналов произвольной формы

Первый канал устройства работает абсолютно так же, как работает типовое устройство *DDS*. Частота следования сигналов равна частоте переполнения первого сумматора в основном канале и определяется выражением (1). Формирование сигнала во втором канале устройства происходит в том же порядке, однако адрес второго ПЗУ образуется путем добавления к содержимому сумматора основного канала N_1 кода задержки между сигналами D_τ , т.е. этот адрес оказывается равным $N_2 = N_1 + D_\tau$. Поскольку содержимое ПЗУ в обоих идентично, то из ячейки памяти второго ПЗУ на второй ЦАП выводится число, которое соответствует точке синусоиды, сдвинутой в сторону опережения на D_τ тактов, т.е. во времени на $\Delta t = D_\tau/f_0$.

Таким образом, предлагаемое устройство генерирует пару сигналов одинаковой формы, назначаемой прошивкой ПЗУ, смещение во времени между которыми можно регулировать, изменяя цифровой код задержки D_τ между сигналами. По сравнению с базовой схемой *DDS* эта возможность означает расширение функциональных возможностей устройства.

Сумматор SM_2 , входящий в состав аккумулятора

во втором канале, состоящем из узлов, обозначенных на схеме индексом «2», добавляет к содержимому сумматора SM_1 из первого канала, число D_τ , определяющее время задержки между сигналами каналов U_1 и U_2 . Принцип действия устройства поясняется временными диаграммами сигналов, показанными на рис. 5. Обозначения внутренних сигналов устройства имеют индексы 1 и 2, соответствующие номеру канала формирования сигнала. Рисунок 5а иллюстрирует динамику линейного нарастания содержимого первого (N_1) и второго (N_2) регистров, которое происходит ступеньками в моменты их тактирования. На рисунке 5б представлены формы напряжений, образующихся на выходах первого (U_1^*) и второго (U_2^*) ЦАП. Сигналограммы второго канала показаны точечными линиями. Для примера форма генерируемых сигналов выбрана синусоидальной.

Обсуждение. Функциональные генераторы, способные вырабатывать электрические сигналы заданной формы с регулируемой частотой колебаний являются основным элементом большинства радиотехнических и измерительных систем.

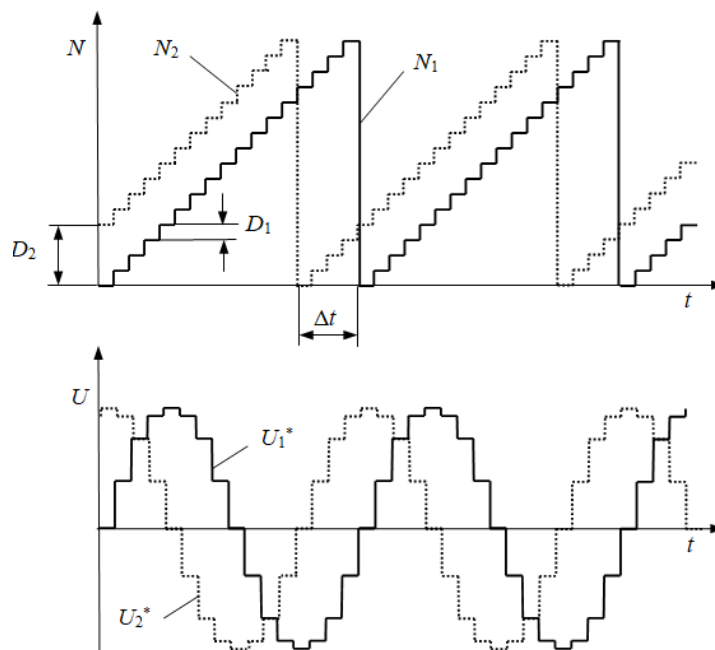


Рисунок 5 – Диаграммы сигналов в генераторе парных сигналов

В качестве функциональных генераторов все большее распространение получают устройства на основе прямого цифрового синтеза частоты *DDS*, имеющие ряд преимуществ перед традиционными синтезаторами, использующими способы прямого счета импульсов и фазовой синхронизации *PLL* в режиме дробно-кратного преобразования опорной частоты. К достоинствам *DDS* кроме высокой разрешающей способности по частоте относится высокое быстродействие при перестройке частоты, поскольку исключаются переходные процессы, свойственные аналоговым узлам в составе системы *PLL*. К недостатку способа *DDS* относится чрезвычайно высокая сложность входящего в его состав постоянного запоминающего устройства, хранящего «цифровые образы» генерируемых сигналов. Кроме того в ряде случаев к синтезатору *DDS* предъявляются повышенные требования в части разрешения, а в измерительных целях целесообразно дополнить устройство дополнительным выходом такого же сигнала, что и в основном канале синтеза, смещенного по оси времени на заданный регулируемый интервал.

В настоящей работе предложены варианты исполнения синтезатора *DDS*, отличающиеся способностью генерировать парные сигналы с регулируемой задержкой между ними и резко сниженным шагом перестройки частоты. При том же шаге перестройки частоты, что и в известных аналогах, появляется возможность существенно сократить информационную емкость постоянного запоминающего устройства и, следовательно, сложность устройства в целом.

Выводы. Предложены новые технические решения синтезаторов сигналов с прямым цифровым синтезом, отличающиеся расширенными функциональными возможностями и высокой точностью установки частоты с высоким разрешением. Применение

предложенных схем генераторов позволяет повысить точность проводимых с их помощью измерительных процедур, допускающих управление по цифровому интерфейсу, а также при заданной точности установки частоты упростить устройство, уменьшить разрядность применяемых цифровых узлов и емкость памяти постоянного запоминающего устройства.

СПИСОК ЛИТЕРАТУРЫ:

1. Титце У., Шенк К. Полупроводниковая схемотехника: Справочное руководство. Пер. с нем. М.: Мир, 1982. – 512 с.
2. Дьяконов, В.П. Современные измерительные генераторы сигналов. – / В.П. Дьяконов. – М.: ДМК Пресс, 2011. – 384 с.
3. Нефедов, В.И. Электрорадиоизмерения : учебник / В.И. Нефедов, А.С. Сигов, В.К. Битюков, Е.В. Самохина ; под ред. А.С. Сигова. – 4-е изд., перераб. и доп. – М.: ФОРУМ : ИЕФРА-М, 2018. – 383 с.
4. Дьяконов, В.П. Генерация и генераторы сигналов / В.П. Дьяконов. – М.: ДМК Пресс, 2009. – 384 с.
5. Шахтарин Б.И. и др. Синтезаторы частот: Учебное пособие / Б.И. Шахтарин, Г.Н. Прохладин, А.А. Иванов, А.А. Быков, А.А. Чечулина, Д.Ю. Гречищев. – М.: Горячая линия – Телеком, 2007. – 128 с.
6. Макаренко, В. Синтезаторы частоты прямого цифрового синтеза / В. Макаренко // Электронные компоненты и системы. – 2004. – № 1(77). – С. 3 – 7.
7. Vankka J., Halonen K. Direct digital synthesizers. theory, design and applications. – Boston: Kluwer Academic, 2001.
8. Jouko Vankka. Direct Digital Synthesizers: Theory, Design and Applications. Dissertation for the degree of Doctor of Science in Technology. Helsinki University of Technology. – 2000. [Электронный ресурс]. – Режим доступа: URL https://www.researchgate.net/publication/27515907_Direct_Digital_Synthesizers_Theory_Design_and_Applications (дата обращения 26.08.2022).
9. Левин В.А. Малиновский В.Н. Романов С.К. Синтезаторы частот с системно-импульсной фазовой автоподстройкой. – М.: Радио и связь, 1989. – 232 с.
10. Манассевич В. Синтезаторы частот (Теория и проектирование): Пер. с англ. / Под ред. А.С. Галина. – М.: Связь, 1979. – 384 с.
11. Синтезатор частот. Патент РФ № 2597477, МПК H03L 7/16. Опубл. 10.09.2016 / Сочнев И.В.
12. Широкополосный синтезатор частот. Патент РФ №

2710299, МПК H03L 7/00. Оpubл. 25.12.2019 / Каширин А.Ф.

13. Синтезатор частот. Авт. свид. СССР № 785943, МПК H03B 21/02. Оpubл. 07.12.1980 / Усачев И.П., Шлянкевич Б.И., Хорецкий Н.М., Богданов А.Е.

14. Direct digital synthesis (DDS) phase locked loop (PLL) frequency synthesizer and associated methods. US Patent № 7250823, МПК H03L 7/00. Date of Patent: Jul. 31, 2007 / Nicholas Paul Shields.

15. Синтезатор частот. Патент РФ № 2003227, МПК H03L 7/18. Оpubл. 15.11.1993 / Козлов В.И.

16. Tierney J. A digital frequency synthesizer / J. Tierney, C. Rader, B. Gold // IEEE Transactions on Audio and Electroacoustics. – March 1971. – Volume 19, Issue 1. – P. 48 – 57.

17. Ibrahim, S.H. High speed direct digital frequency synthesizer with pipelining phase accumulator based on Brent-Kung adder / S.H. Ibrahim, S.H.M. Ali, M.S. Islam // ICSE, – 2012. – P. 547 – 550.

18. De Caro, D. High-performance direct digital frequency synthesizers in 0.25 mm CMOS using dual-slope approximation / D. De Caro, A.G.M. Strollo // IEEE J. Solid-State Circuits. – Nov. 2005. – Vol.40, No.11. – P. 2220 – 2227.

19. Стешенко, В. Школа схемотехнического проектирования устройств обработки сигналов. Занятие 17. Цифровые синтезаторы прямого синтеза частот / В. Стешенко // Компоненты и технологии. – 2002. – № 7. [Электронный ресурс]. – Режим доступа: URL https://kit-e.ru/wp-content/uploads/2002_07_130.pdf (дата обращения 26.08.2022).

20. Alan Bensky. Short-range Wireless Communication (Third Edition). Chapter 5 – Signal generation and transmitters. – 2019. – P. 129 – 147 [Электронный ресурс]. – Режим доступа: URL <https://www.sciencedirect.com/science/article/pii/B9780128154052000051#!> (дата обращения 26.08.2022).

21. Huang, L. The design of a wide bandwidth time marker generator / Lei Huang, Shulin Tian, Ke Liua, Guangkun Guo, Yindong Xiao, Wenhao Zhao, Xing Yang // Review of Scientific Instruments. – 2018 – N 89.

22. Рибико, Л. DDS: прямой цифровой синтез частоты / Л. Рибико // Компоненты и технологии. – 2001. – № 7. [Электронный ресурс]. Режим доступа: URL http://www.compitech.ru/html.cgi/arhiv/01_07/stat_50.htm (дата обращения 31.07.2022).

23. Сумматор с переменным модулем сложения. Патент РФ 2183347. МПК G06F 7/50, опубл. 10.06.2002 / Чулков В.А.

24. Генератор двухфазных гармонических сигналов. Патент РФ 2737004, МПК H03B 27/00, опубл. 24.11.2020 / Фатин В.Н., Арбузов В.Н., Бабнев С.Е., Шилов А.В.

25. Двухфазный генератор гармонических сигналов. Авторское свидетельство СССР 1084941, МПК H03B 27/00, опубл. 7.04.1984 / Колбин В.А.

26. Двухфазный генератор гармонических сигналов. Патент РФ 2761109, МПК H03B 7/00, опубл. 06.12.2021 / Фатин В.Н., Гуськов В.И., Кирсанов К.С.

27. Цифровой синтезатор многофазных сигналов. Патент РФ 2423782, МПК H03L 27/00, опубл. 10.07.2011 / Рябов И.В., Дедов А.Н., Юрьев П.М.

Статья поступила в редакцию 25.08.2022

Статья принята к публикации 16.09.2022