

УДК 519.872

DOI: 10.46548/21vek-2020-0952-0009

МАТЕМАТИЧЕСКАЯ МОДЕЛЬ СПЕЦИАЛИЗИРОВАННОЙ РЕКОНФИГУРИРУЕМОЙ МНОГОПРОЦЕССОРНОЙ СИСТЕМЫ НА ОСНОВЕ ОТНОСИТЕЛЬНЫХ ПРИОРИТЕТОВ

© 2020

Мартенс-Атюшев Дмитрий Сергеевич, аспирант кафедры
«Вычислительные машины и системы»

Мартышкин Алексей Иванович, кандидат технических наук, доцент,
доцент кафедры «Вычислительные машины и системы»
Пензенский государственный технологический университет
(440039, Россия, Пенза, проезд Байдукова/ул. Гагарина, д. 1а/11,
e-mails: novoselich93@mail.ru, alexey314@yandex.ru)

Аннотация. В статье описываются полученные аналитические выражения для модели специализированной реконфигурируемой многопроцессорной системы. Модель основана на аппарате теории массового обслуживания с относительными приоритетами. Исследование заключается в анализе методики получения временных характеристик подсистемы «процессор-память» архитектуры типа UMA. При этом в составе архитектуры учитывается проектируемый контроллер памяти, представленный в предыдущих работах. В результате проделанной работы получены выражения оценки времени обмена между процессорами и общей памятью, а именно временные характеристики обращения процессора к памяти при условиях расщепления транзакций на чтение и запись и относительных приоритетах обслуживания, что предполагает получение вышеуказанных характеристик, приближенных к реальным системам. В заключении сделаны выводы по проделанной работе.

Ключевые слова: специализированная реконфигурируемая многопроцессорная система, математическая модель, контроллер памяти, архитектура памяти UMA, разделяемая память, система массового обслуживания, относительный приоритет.

MATHEMATICAL MODEL OF A SPECIALIZED RECONFIGURABLE MULTIPROCESSOR SYSTEM BASED ON RELATIVE PRIORITIES

© 2020

Martens-Atyushev Dmitry Sergeevich, postgraduate of sub-department
«Computers and systems»

Martyshkin Alexey Ivanovich, candidate of technical sciences, docent,
associate Professor of sub-department «Computers and systems»
Penza state technological University
(440039, Russia, Penza, BaydukovProyezd / Gagarin Street, 1a/11,
e-mails: novoselich93@mail.ru, alexey314@yandex.ru)

Abstract. In this article, we develop analytical expressions to describe the model of a specialized reconfigurable multiprocessor system. The model is based on the Queuing theory apparatus with relative priorities. The research consists in the formation of a method for obtaining the time characteristics of the "processor-memory" subsystem of the UMA architecture. In this case, the architecture takes into account the projected memory controller presented in previous works. As a result of this work, expressions for estimating the exchange time between processors and shared memory are obtained, namely, the time characteristics of processor access to memory under conditions of splitting transactions into read and write and relative service priorities, which implies obtaining the above-mentioned characteristics close to real systems. In conclusion, the conclusions on the work done.

Keywords: specialized reconfigurable multiprocessor system, mathematical model, memory controller, UMA memory architecture, shared memory, Queuing systems, relative priority.

Введение. При разработке специализированных реконфигурируемых многопроцессорных систем (СРМС), требуется решать различные задачи для повышения их быстродействия и функциональных возможностей, в том числе задачу увеличения пропускной способности тракта обмена данными в подсистеме «процессор-память». В работах [1, 2] рассмотрены некоторые способы доступа к памяти и описаны наиболее часто применяемые на практике типы архитектур подсистемы «процессор-память». Как показал анализ методов доступа к памяти, в целом для проектирования многопроцессорных систем применяется два типа архитектуры: с однородным (*Uniform Memory Access*

– *UMA*) и неоднородным (*Non Uniform Memory Access* – *NUMA*) доступом к памяти.

Материалы и результаты исследования. В процессе проектирования СРМС важным этапом является проведение моделирования для того чтобы проверить теоретические предположения по разработке системы и сократить затраты ресурсов и времени на разработку. Актуальным и широко применяемым способом исследования систем является моделирование с применением теории массового обслуживания (ТМО) [3, 4]. В опубликованных ранее работах [5, 6] представлены некоторые результаты по исследованию архитектуры типа *UMA* для специализированных реконфигури-

руемых систем и описан способ совершенствования данной архитектуры с использованием оригинального контроллера памяти. Однако эти результаты были получены в предположении о том, что все входящие потоки в сетях массового обслуживания (*СеМО*) являются простейшими, времена обслуживания распределены по экспоненциальному закону, а все системы массового обслуживания (*СМО*) в сети не имеют ограничения на длину очереди. Моделирование при подобных допущениях дает лишь приближенное представление о характеристиках исследуемой многопроцессорной системы. В настоящей работе рассматривается вопрос разработки аналитических моделей *СРМС* с приоритетными дисциплинами обслуживания для определения времени обмена, а также задержек в подсистеме «процессор-память».

Математическая модель *СРМС*. Обычно в типовых подсистемах «процессор-память» в моменты передачи данных необходимо, чтобы один тип запросов занимал как можно меньше времени обслуживания в отличие от остальных типов. Введение приоритетов позволяет выполнять поступающие от процессоров к общей памяти запросы за наименьший промежуток времени. В теории *СМО* существуют различные способы приоритетных дисциплин обслуживания (*ДО*), здесь внимание сосредоточено на относительном приоритете (*ОП*) [7, 8]. В *СМО* запросы с различными

приоритетами обычно имеют разное значение интенсивности поступления на обслуживание, это говорит о неоднородности потока, что вполне приемлемо для реальных *СРМС*.

Запросы, имеющие наивысший приоритет, выполняются за более короткий промежуток времени, это объясняется тем, что процессорам срочно требуется считать из памяти данные или же записать их в память. Запрос с высоким приоритетом, прибывший в *СМО* и заставший на обработке запрос с меньшим приоритетом, будет ожидать своей очереди в соответствии со своим приоритетом, что характерно для *ДО* с относительными приоритетами. Применяя приоритеты, нужно учитывать условия, при которых разрабатываемые аналитические модели *СМО* могут дать наиболее точный расчет характеристик системы. Таким образом, нужно принять во внимание следующие условия: входной поток должен быть экспоненциальным, система должна быть с неограниченной очередью и одноканальной, т. е. предпочтительны *СМО* типа *M/M/1* и *M/G/1* с неограниченными очередями [9, 10].

Проектируемая модель *СРМС* представлена на рисунке 1, где все моделируемые узлы подсистемы «процессор-память» состоят из одноканальных *СМО* типа *M/M/1*, что соответствует типу общей памяти с набором независимых блоков [11, 12].

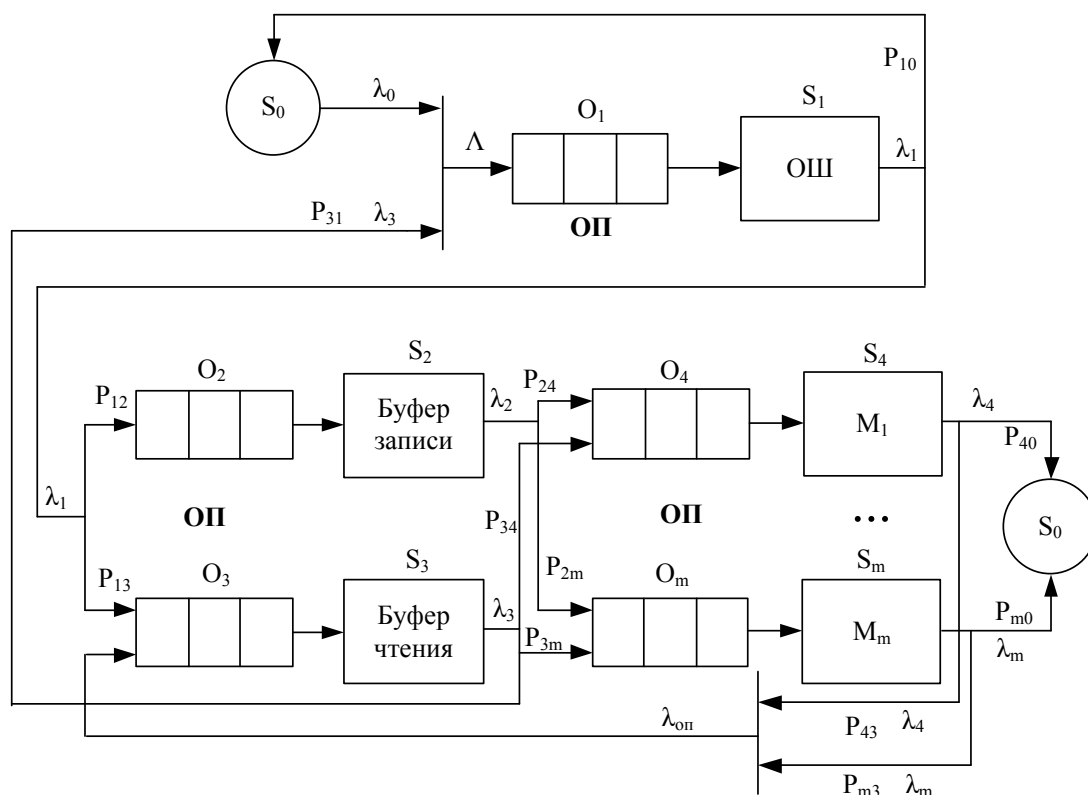


Рисунок 1 – Модель подсистемы «процессор-память» с распределенными блоками памяти и относительными приоритетами

Предполагается, что на вход модели поступает суммарный неоднородный поток Λ , который состоит из суммы интенсивностей потоков λ_0 и λ_3 , при этом

согласно условию:

$$\lambda_0 = \sum_{i=1}^{n-1} \lambda_i, i = 1, 2, \dots, n-1, \text{ тогда}$$

$$\Lambda = \sum_{i=1}^{n-1} \lambda_i + \lambda_3. \quad (1)$$

Источником заявок S_0 являются процессорные узлы, генерирующие запросы на чтение/запись. Данные запросы поступают на общую шину (ОШ) S_1 , где они с интенсивностью λ_1 перенаправляются в буферы записи (БЗ) S_2 и чтения (БЧ) S_3 контроллера памяти. После контроллера памяти в зависимости от операции чтения или записи запросы с интенсивностью λ_2 или λ_3 поступают на модули общей памяти (ОП) $S_4 \dots S_m$. Модель в этом случае является многофазной.

Транзакции на запись проходят три этапа обслуживания: ОШ (S_1), БЗ (S_2), один из модулей ОП ($S_4 \dots S_m$). Для транзакции чтения потребуется пять этапов обслуживания: ОШ (S_1), БЧ (S_3), один из модулей ОП ($S_4 \dots S_m$), снова БЧ (S_3), а из него в ОШ (S_1). Можно предположить, что процессор, выдав запрос на запись или чтение из памяти, освобождает ОШ, пока вновь не обратится к ней, чтобы получить, например, читаемые данные. При этом новые запросы формироваться не будут, тогда имеет смысл описывать СМО без ограничений на длину очереди, что будет соответствовать условиям проведения моделирования для приоритетных дисциплин обслуживания. Другими словами, очереди $O_1, O_2, O_3, O_4, \dots, O_m$ в модели являются не ограниченными по длине.

Приоритет запроса зависит от его типа и направления. Исходя из этого, суммарный входной поток запросов в модели будет иметь три класса приоритета. Преимущество над всеми запросами имеет поток, формируемый буфером чтения на выдачу читаемых данных $\lambda_{pp_{31}} = \lambda_1 + \lambda_2 + \dots + \lambda_R$, т.к. данная операция считается наиболее приоритетной в СРМС.

Процессорные узлы формируют поток запросов, который содержит в своем составе два класса приоритета, т.е. $\lambda_0 = \lambda_{02} + \lambda_{01}$, где $\lambda_{02} = \lambda_1 + \lambda_2 + \dots + \lambda_W$ – классы запросов на запись, формируемые процессорами в зависимости от приоритетности решаемой задачи, и имеющие второй уровень приоритета, и $\lambda_{01} = \lambda_1 + \lambda_2 + \dots + \lambda_R$ – классы запросов на чтение, обладающие низшим классом приоритета.

На вход СМО, представляющей БЗ, поступает неоднородный поток запросов на запись λ_1 с вероятностью p_{12} , имеющий только приоритет процессорного узла $\lambda_{pp_{12}} = \lambda_1 + \lambda_2 + \dots + \lambda_W$. Для буфера чтения классы приоритетов формируются другим образом. Самым высшим приоритетом будет обладать класс запросов, поступающих от модулей ОП $\lambda_{оп} = \lambda_4 + \lambda_5 + \dots + \lambda_m$, где присутствует классы приоритетов для запрашиваемых процессорных узлов. Следующим по уровню приоритета потоком является запрос на чтение от ОШ с соответствующей вероятностью перехода $\lambda_{p_{13}} = \lambda_1 + \lambda_2 + \dots + \lambda_R$.

Рассмотрим распределение классов приоритета для модулей ОП модели СРМС. Для первого и последующих модулей наивысшим классом приоритета обладают запросы на запись $\lambda_{pp_{2m}} = \lambda_1 + \lambda_2 + \dots + \lambda_W$, низшим приоритетом обслуживается запрос на чтение

данных $\lambda_{p_{3m}} = \lambda_1 + \lambda_2 + \dots + \lambda_R$.

Таким образом, обработка запросов с относительными приоритетами рассматриваемой модели СРМС представляется в следующем виде. При выборе сопоставляются приоритеты находящихся в очереди запросов, после этого на обработку поступает тот запрос, который имел наивысший приоритет, например, запрос из класса λ_0 . Далее запрос занимает обслуживающее устройство. Когда в процессе этого обслуживания приходят запросы более высокого приоритета, например, из класса $\lambda_{pp_{31}}$, то процесс обслуживания заявки λ_0 не прерывается. В этом и заключается относительность приоритета, так как он имеет место только при непосредственном поступлении на обслуживание.

Чтобы определить связи между СМО сети, используется матрица вероятности передач, при этом матрица P данной модели принимает следующий вид (2).

$$P = [p_{ij}] = \begin{matrix} & S_0 & S_1 & S_2 & S_3 & S_4 & \dots & S_m \\ \begin{matrix} S_0 \\ S_1 \\ S_2 \\ S_3 \\ S_4 \\ \dots \\ S_m \end{matrix} & \begin{matrix} 0 & 1 & 0 & 0 & 0 & \dots & 0 \\ p_{10} & 0 & p_{12} & p_{13} & 0 & \dots & 0 \\ 0 & 0 & 0 & 0 & p_{24} & \dots & p_{2m} \\ 0 & p_{31} & 0 & 0 & p_{34} & \dots & p_{3m} \\ p_{40} & 0 & 0 & p_{43} & 0 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots & \dots & \dots \\ p_{m0} & 0 & 0 & p_{m3} & 0 & \dots & 0 \end{matrix} \end{matrix} \quad (2)$$

где p_{ij} – вероятность перехода запросов в СМО, определяемая как

$$p_{ij} = \frac{N_{ij}}{N}. \quad (3)$$

где N_{ij} – среднее количество обращений от устройства, моделируемое системой S_j к устройству, моделируемому системой S_i сети за время решения одной задачи. Общее количество этапов обслуживания заявок в системе S_i сети составит

$$N_i = \sum_{j=0}^n N_{ji}. \quad (4)$$

Поскольку заявки из системы S_j поступают в систему S_i с вероятностью p_{ji} , то интенсивность потока, поступающего из S_j в S_i равна $p_{ji}\lambda_j$, где λ_j – интенсивность выходящего и, следовательно, входящего потоков заявок системы S_j . С учетом этого для предлагаемой модели подсистемы «процессор-память» интенсивность потока запросов на ее входе, будет определяться выражением (5).

$$\lambda_i = \sum_{j=0}^n p_{ji}\lambda_j. \quad (5)$$

Таким образом, интенсивности потоков заявок для СМО, включающей СМО $S_0, S_1, S_2, S_3, S_4, \dots, S_m$, можно представить следующей системой алгебраических уравнений, которым соответствует каноническая форма (6).

$$\begin{cases} (p_{00}-1)\lambda_0 + p_{10}\lambda_1 + p_{20}\lambda_2 + p_{30}\lambda_3 + p_{40}\lambda_4 + \dots + p_{m0}\lambda_m = 0; \\ p_{01}\lambda_0 + (p_{11}-1)\lambda_1 + p_{21}\lambda_2 + p_{31}\lambda_3 + p_{41}\lambda_4 + \dots + p_{m1}\lambda_m = 0; \\ p_{02}\lambda_0 + p_{12}\lambda_1 + (p_{22}-1)\lambda_2 + p_{32}\lambda_3 + p_{42}\lambda_4 + \dots + p_{m2}\lambda_m = 0; \\ p_{03}\lambda_0 + p_{13}\lambda_1 + p_{23}\lambda_2 + (p_{33}-1)\lambda_3 + p_{43}\lambda_4 + \dots + p_{m3}\lambda_m = 0; \\ p_{04}\lambda_0 + p_{14}\lambda_1 + p_{24}\lambda_2 + p_{34}\lambda_3 + (p_{44}-1)\lambda_4 + \dots + p_{m4}\lambda_m = 0; \\ \dots \\ p_{0m}\lambda_0 + p_{1m}\lambda_1 + p_{2m}\lambda_2 + p_{3m}\lambda_3 + p_{4m}\lambda_4 + \dots + (p_{mm}-1)\lambda_m = 0. \end{cases} \quad (6)$$

Далее определим среднее количество этапов обслуживания в системе S_j в расчете на один запрос, приходящего от источника S_0 , т.е. коэффициент передач (7).

$$\alpha_j = \frac{\lambda_j}{\lambda_0}, \quad (7)$$

Время обслуживания каждой СМО для модели общей памяти с независимыми блоками определяются аналогично тому, как это осуществляется при исследовании моделей СРМС с беспriorитетными дисциплинами обслуживания [13, 14].

Чтобы рассчитать времена обмена разрабатываемой модели подсистемы «процессор-память» необходимо вычислить характеристики среднего времени ожидания и среднего времени пребывания запроса в каждой СМО и сети в целом.

Когда в СМО поступает M простейших запросов с интенсивностями $\lambda_1, \dots, \lambda_M$, то среднее время ожидания запросов, имеющих приоритеты $k = 1, \dots, M$, определится по формуле (8) [3, 7, 9]:

$$\omega_k^{II} = \frac{\sum_{i=1}^M \lambda_i g_i^2 (1 + \nu_{g_i}^2)}{2(1 - \sum_{i=1}^{k-1} \rho_i)(1 - \sum_{i=1}^k \rho_i)} \quad (8)$$

где ρ_i – загрузка СМО, определяемая как $\rho_i = \frac{\lambda_i}{\mu_i}$ (λ_i – интенсивность поступления запросов i -го приоритета; μ_i – интенсивность обслуживания запросов i -го приоритета), g_i – среднее время обслуживания запросов i -го приоритета, $\nu_{g_i}^2$ – коэффициент вариации

длительности обслуживания запроса i -го приоритета.

Среднее время пребывания найдем через выражение (9) [3, 7, 9].

$$u_k^{II} = \frac{\sum_{i=1}^M \lambda_i g_i^2 (1 + \nu_{g_i}^2)}{2(1 - \sum_{i=1}^{k-1} \rho_i)(1 - \sum_{i=1}^k \rho_i)} + g_j. \quad (9)$$

Имея выражения временных характеристик модели, можно вывести формулы для расчета времени обмена в подсистеме «процессор-память». Согласно [15–17] можно полагать, что обмен в подсистеме «процессор-память» выполняется пословно или по группам слов, тогда для выполнения команды чтения или записи потребуется цикл ОП, включающий время выполнения работы контроллера памяти и цикл обращения в ОП. Для данной модели применяется режим расщепления транзакций, где при формировании запроса на запись необходима одна транзакция, а для чтения – две. Первая транзакция – выставление адреса в память, который записывается контроллером памяти в БЧ, вторая транзакция является возвращением данных из памяти или БЧ в процессор [18–20].

Основываясь на упомянутых выше принципах теории массового обслуживания, при дисциплине обслуживания с относительными приоритетами для исследуемой модели получим выражение, описывающее время транзакции записи:

$$t_{zan}^{OP} = \tau + (\omega_{k,OP}^{OP} + g_{OP}) + (\omega_{k,BZ}^{OP} + g_{BZ})p_{12} + p_{2m}\omega_{k,OP}^{OP}, \quad (10)$$

где τ – время выдачи адреса данных на ОП процессором, p_{2m} – вероятность записи в один из модулей общей памяти, причем

$$\sum_{i=4}^m p_{2m} = 1; \quad (i = 4, \dots, m). \quad (11)$$

Запрос на чтение определится следующим образом:

$$t_{чт} = 2\left(\tau + \frac{((\omega_{k,OP}^{OP} + g_{OP}) + p_{13}(\omega_{k,BZ}^{OP} + g_{OP}))p_{OP}}{P_{БЧ}}\right) + p_{3m}\omega_{k,OP}^{OP}, \quad (12)$$

где p_{OP} – вероятность того, что считываемые данные находятся в ОП, $p_{БЧ}$ – вероятность того, что считываемые данные находятся в БЧ, p_{3m} – вероятность чтения одного из модулей ОП, причем

$$\sum_{i=4}^m p_{3m} = 1; \quad (i = 4, \dots, m). \quad (13)$$

Далее, применив выражение среднего времени пребывания вместо среднего времени ожидания, получим выражение для времени обмена в подсистеме «процессор-память» с относительными приоритетами:

$$t_{об}^{OP} = 3\tau + 2\left(\frac{(u_{k,OP}^{OP} + p_{13}(u_{k,BZ}^{OP}))p_{OP}}{P_{БЧ}}\right) + u_{k,OP}^{OP} + p_{12}u_{k,BZ}^{OP} + \omega_{k,OP}^{OP}(p_{2m} + p_{3m}). \quad (14)$$

Заключение. В работе решается задача разработки математической модели специализированной реконфигурируемой многопроцессорной системы, в которой применяется дисциплина обслуживания с относительными приоритетами. Получены выражения для вычисления времени обмена в подсистеме «процессор-память» архитектуры типа *UMA*, включающей в свой состав проектируемый контроллер памяти. Применение полученных результатов позволит более полно оценить временные характеристики СРМС, параметры которых достаточно близки к показате-

лям реальных систем, что обеспечивает возможность повышения быстродействия и производительности СРМС. Для экспериментального подтверждения выдвинутых в настоящей работе положений и проверки эффективности разработанных математических моделей планируется проведение дополнительных натурных исследований.

СПИСОК ЛИТЕРАТУРЫ:

1. Мартышкин, А.И. Современное ранжирование многопроцессорных систем по механизму доступа в память / А.И.

Мартышкин, Д.С. Мартенс-Атюшев // Современные методы и средства обработки пространственно-временных сигналов: сборник статей XVII Всероссийской научно-технической конференции. Под ред. И.И. Сальникова. – Пенза. – 2019. – С. 55 – 58.

2. Мартенс-Атюшев, Д.С. Современная классификация многопроцессорных систем / Д.С. Мартенс-Атюшев, А.И. Мартышкин // Научное обозрение. Педагогические науки – 2019. – № 3 – 2. – С. 51 – 54.

3. Майоров С.А., Новиков Г.И., Алиев Т.И., Махарев Э.И., Тимченко Б.Д. Основы теории вычислительных систем. – М.: Высшая школа, – 1978. – 408 с.

4. Бикташев Р.А., Князьков В.С. Многопроцессорные системы. Архитектура, топология, анализ производительности. – Пенза: Пенз. гос. ун-т, – 2004. – 103 с.

5. Мартенс-Атюшев, Д.С. Исследование и анализ вероятностно-временных характеристик моделей подсистемы «процессор-память» специализированных реконфигурируемых вычислительных систем / Д.С. Мартенс-Атюшев // Сборник тезисов докладов XLVI Международной молодежной научной конференции «Гагаринские чтения». 2020. – С. 312-313.

6. Martyshekin A. I., Martens-Atyushev D. S. Experimental study of a reconfigurable system with hardware task manager and a distributed queue // Journal of computational and theoretical nanoscience. 2019. Vol. 16(7). PP.3040-3045.

7. Алиев Т.И. Основы моделирования дискретных систем. – СПб.: СПбГУ ИТМО, – 2009. – 363 с.

8. Джейсуол, Н. Очереди с приоритетами: пер. с англ. И. С. Нефедовой и В.С. Манусевича / под ред. В. В. Калашникова. – М.: Мир, – 1973. – 280 с.

9. Клейнрок, Л. Теория массового обслуживания / Л. Клейнрок. – М.: Машиностроение, – 1979. – 432 с.

10. Клейнрок, Л. Вычислительные системы с очередями / Л. Клейнрок. – М.: Мир, – 1979. – 600 с

11. Таненбаум Э., Остин Т. Архитектура компьютера. 6-е изд. – СПб.: Питер, – 2013. – 816 с.

12. Цилькер Б.Я., Орлов С.А. Организация ЭВМ и систем 2-е изд. – СПб: Питер, – 2011. – 688 с.

13. Мартенс-Атюшев Д.С. Анализ задержек при проектировании специализированных многопроцессорных систем с применением теории массового обслуживания / Д.С. Мартенс-Атюшев // Прикладная математика и информатика: современные исследования в области естественных и технических наук. Материалы VI Международной научно-практической конференции (школы-семинара) молодых ученых. – 2020. – С. 296–300.

14. Мартенс-Атюшев Д.С. Аналитические выражения для моделирования подсистемы «процессор-память» с буферизации операций чтения и записи в многопроцессорных системах / Мартенс-Атюшев Д.С., Мартышкин А.И., Курносое В.Е. // Современные методы и средства обработки пространственно-временных сигналов: сборник статей XVIII Всероссийской научно-технической конференции. – 2020. – С. 82–88.

15. Мартышкин А.И. Разработка и исследование разомкнутых моделей подсистемы «процессор-память» многопроцессорных вычислительных систем архитектур UMA и NUMA / Мартышкин А.И. // Вестник РГРТУ. – 2015. – № 54. – Ч. 1. – С. 121–126.

16. Мартышкин А.И. Моделирование и оценка времени обслуживания операций чтения и записи в многопроцессорных системах с общей памятью / Мартышкин А.И., Карасева Е.А. // Инновации в науке. – 2016. – № 55-2. – С. 83–88.

17. Мартышкин А.И. Математическое моделирование аппаратного буфера памяти многопроцессорной системы / Мартышкин А.И. // Оптико-электронные приборы и устройства в системах распознавания образов, обработки изображений

и символьной информации. Распознавание-2015: сборник материалов XII Международной научно-технической конференции, – 2015. – С. 247–249.

18. Мартышкин А.И. Разработка аппаратного буферного устройства памяти многопроцессорной системы / Мартышкин А.И. // Фундаментальные исследования. – 2015. – № 12-3. – С. 485–489.

19. Костров Б.В. Исследование структурной организации и оценка производительности многопроцессорных вычислительных систем с общей шиной / Костров Б.В., Мартышкин А.И., // Известия Тульского государственного университета. Технические науки. – 2018. – Вып. 2. – С. 152–162.

20. Мартышкин А.И., Моделирование подсистем памяти мультимикропроцессоров на основе стохастических сетей массового обслуживания / Мартышкин А.И., Бикташев Р.А. // Современные методы и средства обработки пространственно-временных сигналов: сборник статей IX Всероссийской научно-технической конференции. Под ред. И.И. Сальникова. – Пенза, – 2011. – С. 98–103.

*Исследование выполнено при финансовой поддержке
РФФИ в рамках научного проекта № 19-37-90093.*

Статья поступила в редакцию 15.08.2020

Статья принята к публикации 14.09.2020